

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-165137

(43)Date of publication of application : 07.06.2002

(51)Int.Cl.

H04N 5/335
G06T 1/00
H04N 1/028

(21)Application number : 2001-246261

(71)Applicant : PIXIM INC

(22)Date of filing : 14.08.2001

(72)Inventor : EWEDEMI ODUTOLA OLUSEYE
DENG ZHONGHAN JOHN
MOTTA RICARDO JANSSEN
YANG DAVID XIAO DONG

(30)Priority

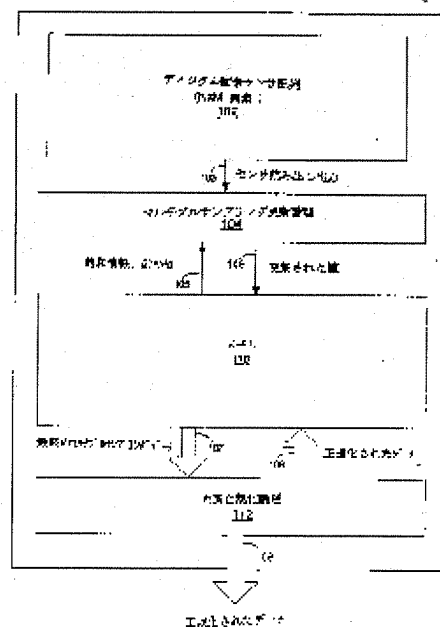
Priority number : 2000 638503 Priority date : 15.08.2000 Priority country : US

(54) CIRCUIT AND METHOD FOR RE-ARRANGEMENT OF PIXELS IN READOUT INFORMATION OF DIGITAL PIXEL SENSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital image sensor, having an integrated support circuit with improved performance of an image sensor.

SOLUTION: This image sensor has a sensor arrangement, a data memory for accumulating pixel data and a pixel normalization circuit. The sensor arrangement outputs two dimensional arrangements of pixel elements and digital signals as pixel data indicating an image of a scene. Pixel data, outputted from the sensor arrangement are arranged in a sensor-bit arrangement, and the pixel normalization circuit rearranges pixel data in the order of pixel-bit. In another embodiment, the image sensor has a sensor array, a data memory and a pixel normalization circuit, all of them formed on a single integrated circuit. The pixel normalization circuit has one or more of pixel rearrangement circuits, a conversion circuit from a Gray code into a binary code, a reset subtract circuit and a multiple sampling normalization circuit. Finally, the conversion circuit from a Gray code into a binary code is arranged for the purpose of high-speed conversion.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-165137

(P2002-165137A)

(43)公開日 平成14年6月7日(2002.6.7)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 4 N 5/335		H 0 4 N 5/335	P 5 B 0 4 7
G 0 6 T 1/00	4 2 0	G 0 6 T 1/00	4 2 0 G 5 C 0 2 4
H 0 4 N 1/028		H 0 4 N 1/028	Z 5 C 0 5 1

審査請求 未請求 請求項の数16 O L (全 18 頁)

(21)出願番号 特願2001-246261(P2001-246261)

(22)出願日 平成13年8月14日(2001.8.14)

(31)優先権主張番号 6 3 8 5 0 3

(32)優先日 平成12年8月15日(2000.8.15)

(33)優先権主張国 米国 (U S)

(71)出願人 500128125

ピクシム インコーポレイテッド

アメリカ合衆国 カリフォルニア州

94042 マウンテン・ビュー ノース・シ

ョアライン・ブルヴァード 883番 スイ

ート 200

(72)発明者 オドウトラ オルセイ エウエデミ

アメリカ合衆国 カリフォルニア州

95112 サンホゼ サウス・サード・スト

リート・144 636号

(74)代理人 100070150

弁理士 伊東 忠彦

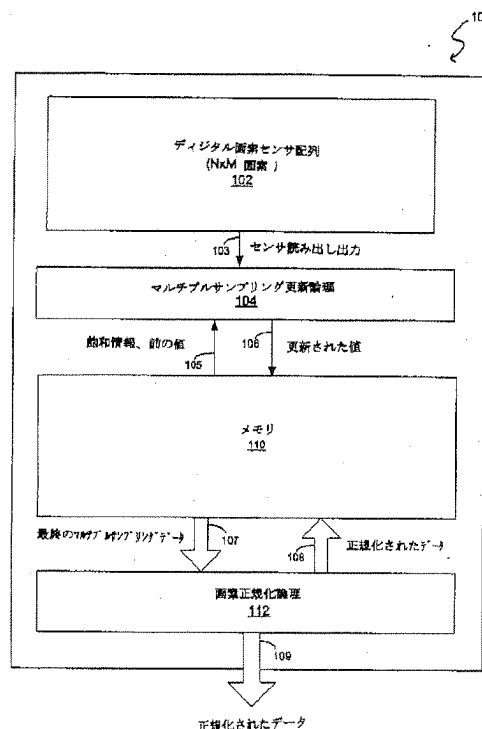
最終頁に続く

(54)【発明の名称】 デジタル画素センサ読出し情報内の画素の再配置のための回路及び方法

(57)【要約】

【課題】 本発明の目的は画像センサの性能を改善する集積されたサポート回路を有するデジタル画像センサを提供することである。

【解決手段】 画像センサは、センサ配列、画素データを蓄積するデータメモリ及び、画素正規化回路を有する。センサ配列は、画素要素の2次元配列と、シーンの画像を表す画素データとしてのデジタル信号を出力する。センサ配列から出力された画素データは、センサビット配置で配置され、そして、画素正規化回路は画素データを画素ビット順に再配置する。他の実施例では、画像センサはセンサ配列、データメモリ、及び、画素正規化回路を有し、全ては単一の集積回路上に形成される。画素正規化回路は、1つ又はそれ以上画素再配置回路、グレイコードからバイナリーへの変換回路、リセット減算回路及び、マルチプルサンプリング正規化回路を有する。最後にグレイコードからバイナリーへの変換回路は、高速変換のために設けられる。



【特許請求の範囲】

【請求項1】 画像センサであって、
シーンの画像を表す、センサビット配置に配置された画
素データとして、デジタル信号を出力する、2次元配
列の画素要素を有するセンサ配列と、
前記センサ配列と通信し、前記画素データを蓄積するた
めのデータメモリと、
前記画素データを画素一ビット順に再配置し且つ前記再
配置された画素データを出力信号として供給するため
に、前記データメモリに接続された画素正規化回路とを
有する、画像センサ。

【請求項2】 前記センサ配列、前記データメモリ及
び、前記画素正規化回路は、単一の集積回路内に形成さ
れている、請求項1に記載の画像センサ。

【請求項3】 前記画素正規化回路は、前記画素データ
を、前記データメモリと前記画素正規化回路の間の信号
ラインのルーティングを通して再配置する、請求項1に
記載の画像センサ。

【請求項4】 前記画素正規化回路は、前記画素データ
を、前記データメモリと前記画素正規化回路の間のハー
ドワイアの信号ラインを通して再配置する、請求項1に
記載の画像センサ。

【請求項5】 前記再配置された画素データは、前記画
像センサの出力信号として供給される、請求項1に記載
の画像センサ。

【請求項6】 前記再配置された画素データは、前記デ
ータメモリに書込まれる、請求項1に記載の画像セン
サ。

【請求項7】 前記画素データは、k一ビットを有し且
つ、前記再配置された画素データは、連続する順序で、
kビットの第1の画素と、それに続いてkビットの第2
の画素を有する、請求項1に記載の画像センサ。

【請求項8】 前記画素正規化回路は、前記データメモ
リからの前記画素データの部分を蓄積するためのバッフ
ァを有し、且つ、前記画素正規化回路は、前記画素デー
タを、前記データメモリと前記バッファの間の信号線の
ルーティングにより、再配置する、請求項1に記載の画
像センサ。

【請求項9】 前記センサ配列は、N掛けるM画素であ
りかつ、各々の前記画素要素は、k一ビットを有する、
請求項1に記載の画像センサ。

【請求項10】 前記データメモリは、N掛けるM掛け
るkビットであり且つ、前記データメモリは、前記画素
要素の各々の第1のビットを連続的に蓄積し、続いて、
前記画素要素の各々の第2のビットが続く、請求項9に
記載の画像センサ。

【請求項11】 前記再配置された画素データは、連続
するビット順序で、kビットの第1の画素要素と、それ
に続いてkビットの第2の画素を有する、請求項10に
記載の画像センサ。

【請求項12】 前記第1の画素要素と前記第2の画素
要素は、前記センサ配列内で隣接しない画素要素であ
る、請求項11に記載の画像センサ。

【請求項13】 画像センサ内の方法であって、
センサ配列を使用してシーンの画像を捕捉し、
前記画像を表すセンサビット順序で画素データを出力
し、
前記画素データをデータメモリ内に蓄積し、且つ、
前記画素データを画素一ビット順に再配置する方法。

【請求項14】 更に、前記再配置されたデータを前記
データメモリ内に蓄積する、請求項13に記載の方法。

【請求項15】 さらに、前記再配置された画素データ
を前記画像センサからの出力信号として供給する、請求
項13に記載の方法。

【請求項16】 前記画素データを再配置する前記動作
は、信号線のルーティングにより行われる、請求項13
に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的には、画像
センサシステムに関し、特に本発明は、デジタル画素
センサ構造を使用する画像センサに関連する。

【0002】

【従来の技術】この出願は2つの、米国特許出願番号0
9/567,638(弁護士名簿番号PIXI000
2)及び、米国特許出願番号09/567,786(弁
護士名簿番号PIXI0001)の継続出願であり、そ
れぞれ、"検知領域とデジタルメモリ領域を有する集
積された画素センサ"、"広ダイナミックレンジを達成
するための時間インデックスされた方法を介する複数
サンプリング"と称し、すべてがDavid Yang
と他の2人の共同発明者により2000年5月9日に出
願された。

【0003】本発明は、現在出願されている、それぞれ
が、"デジタル画素センサ内の正規化の使用"及
び、"グレイコードを2値変換するための回路及び方
法"の、Seye Ewedemi他による、米国特許
出願番号xx/xxx,xxx(弁護士名簿番号M-9
054US)及び、米国特許出願番号xx/xxx,x
xx(弁護士名簿番号M-9055US)に関連する。

【0004】デジタル写真は、過去数年に出現した最
も注目される技術の1つである。適切なハードウェアと
ソフトウェア(及び、時若干の知識で)誰もがデジタル
写真の原理を動作させることができる。例えば、ディ
ジタルカメラは、デジタル写真の切り口である。近年
の製品の導入、技術進歩、及び、価格低下は、電子メ
ールとワールドワイドウェブの出現とともに、デジタル
カメラを民生品の注目される新たなカテゴリーとするの
に役立っている。

【0005】しかし、デジタルカメラは、従来のフィ

ルムカメラのように動作しない。実際に、それらは、コンピュータスキャナー、コピー又は、ファックス機に更に緊密に関連している。大部分のデジタルカメラは、シーンを検知するために、電荷結合素子(CCD)又は相補型金属酸化物半導体(CMOS)のような画像センサ又は光検知素子を使用する。光検知素子は、シーンから反射された光に反応し、そして、その反応の強さを、更にデジタル化される電子的充電信号に変換する。例えば、光を赤色、緑色及び、青色フィルタを通すことにより、反応は、各々の別々のカラースペクトラムに対して測定される。ソフトウェアにより読出しが結合され且つ評価されるときにはカメラは、写真の各セグメントの特定の色を決定できる。画像は実際には数値データの集合であるので、コンピュータへ簡単にダウンロードでき、そして、更なる芸術的効果のために操作される。

【0006】しかし、デジタルカメラは、従来の写真が達成できる解像度を有しない。一方、フィルムに化学的に基づく粒状性によってのみ制限される従来のフィルムに基づく技術は、典型的には、数千万の画素の解像度を有し、一般の消費者に受け入れられる多くの商用のデジタルカメラで使用される画像センサは、100万又は200万画素より僅かに高い解像度を有する。600万画素以上の解像度を有するデジタルカメラが入手できるが、これらの高解像度カメラは、かなり値段が高い。更に、デジタル画像センサのダイナミックレンジは、フィルムに基づく従来の写真が持つほど広くはないことが多い。これは、特に、一般的にはCCDよりも低ダイナミックレンジを有する、CMOS画像センサの場合に成り立つ。

【0007】Fowler他による米国特許番号5,461,425は、画素レベルのアナログ/デジタル変換を有するCMOS画像センサを開示する。そのような画像センサはデジタル画素センサ(DPS)と呼ばれ、その画素要素により検出された光の強度を表す各画素要素でのデジタル出力信号を供給する。光トランジスタとアナログ/デジタル(A/D)変換器の組合せは、検出精度を向上するのを助け、そして、全体的なシステム性能を改善する。更に、米国特許出願番号09/567,638は画像データの少なくとも1つのフレームを蓄積するためのオンチップメモリを伴う集積されたDPSセンサを開示する。オンチップメモリの統合は、画素データを蓄積するためのチップ外メモリの使用に関連したデータ伝送のボトルネックの問題を緩和する。特に、DPSセンサを伴うメモリの集積は、捕捉された画像の質を改善するためのマルチプルサンプリングの使用を実現する。マルチプルサンプリングは、信号対ノイズ比及び実行の複雑さの増加の欠点のような、他のダイナミックレンジ改善技術と関連する多くの欠点無しに広ダイナミックレンジを達成することのできる技術

として認識されている。米国特許出願番号09/567,786は、時間インデックス化されたアプローチを使用して画像のマルチプルサンプリングを容易にする方法を開示する。前述の特許及び特許出願は、参照によりここに組み込まれる。

【0008】425特許のDPSセンサでは、アナログ/デジタル変換(ADC)は、1次シグマデルタ変調に基づいている。ADCのアプローチは、かなり単純で強い回路であるが、多すぎるデータの発生と、暗い光の低性能からの悪影響の欠点を有する。米国特許番号5,810,657と米国特許出願番号09/274,202は、A/D変換器のサイズを最小化しながら、全体的なシステム性能をかなり改善する、代替りのADC機構を提供する。前述の特許及び特許出願は、参照によりここに組み込まれる。

【0009】

【発明が解決しようとする課題】必要とされるものは、画像センサの性能を改善する集積されたサポート回路を有するデジタル画像センサである。

【0010】

【課題を解決するための手段】本発明の1つの特徴に従って、画像センサは、センサ配列、データメモリ及び、画素正規化回路を有する。センサ配列は、2次元配列の画素要素を有し、且つシーンの画像を表す、画素データとして、デジタル信号を出力する。センサ配列により出力された画素データは、センサビット配置に配置される。データメモリはセンサ配列と通信し、そして、画素データを蓄積する。画素正規化回路は、画素データを画素-ビット順に再配置し且つ、再配置された画素データを出力信号として供給するためにデータメモリと接続される。

【0011】本発明の他の特徴に従って、画像センサは、センサ配列、データメモリ及び、画素正規化回路を有し、全ては単一の集積回路上に形成される。センサ配列は、画素要素の2次元配列を有しそして、デジタル信号をシーンの画像を表す画素データとして出力する。データメモリは、画素データを蓄積するために、センサ配列と通信する。画素正規化回路は、画素データを正規化しそして正規化された画素データを出力信号として供給するためにデータメモリに接続される。1つの実施例では、センサ配列は、センサービット配置で画素データを出力し、そして、画素正規化回路は、画素データを画素-ビット配置に再配置するための画素再配置回路を有する。他の実施例では、センサ配列はグレイコードで表された画素データを出力し、そして、画素正規化回路は、画素データをバイナリー表現に変換するための変換回路を有する。他の実施例では、データメモリはセンサ配列内の画素要素の各々に対するリセット値を蓄積し、画素正規化回路は、各画素要素に対して、画素要素からリセット値を減算するリセット減算回路を有する。更に

他の実施例では、センサ配列は、センサ配列に関する広ダイナミックレンジを確立するために、マルチプルサンプリングを使用し、そして、データメモリは、画素要素の各々に対する時間インデックス値を蓄積するための時間インデックスメモリを有する。他の実施例では、画素正規化回路は、画素データと時間インデックス値に基づいて、画素要素の各々に対して、正規化された画素データを計算するためのマルチプルサンプリング正規化回路を有する。

【0012】本発明の他の特徴に従って、 n -ビットグレイコードからバイナリーへの変換回路を構成するための方法が開示される。 n -ビットグレイコード数を n -ビットバイナリー数へ変換する方法は、以下を含む：

(1) XORツリーを使用して n -ビットグレイコード数の最小桁ビット(LSB)のバイナリー値を計算し、そのXORツリーは、 n -ビットグレイコード数を評価し且つ最小のゲート遅延時間内でLSBのバイナリー値を発生する第1の組のXORゲートを有し、(2) XORツリー内で、LSB以外のビットの第1のグループを決定し、それに対して、ビットの第1のグループのバイナリー値も発生され、そして、(3) 第1のビットのグループ及びLSB以外の、 n -ビットグレイコード数のビットの第2のグループバイナリー値を計算するために、第2の組のXORゲートを提供し、第2の組みのXORゲートはXORツリーの最小のゲート遅延時間より小さい又はそれと等しいゲート遅延時間でバイナリー値を計算する。

【0013】本発明の更なる特徴に従って、 n -ビットグレイコード数を n -ビットバイナリー数に変換する方法は、以下を含む：(1) 2-ビット、3-ビット、及び、4-ビット、グレイコード数を変換するための複数の基礎単位を提供し、前記基礎単位の各々は、1つ又はそれ以上のXORゲートを有し且つ、2-ビット、3-ビット、及び、4-ビット、グレイコード数を変換するための最小ゲート遅延時間を有し、(2) 前記 n -ビットグレイコード数を変換するための前記基礎単位の組合せを選択し、そして、(3) 低次のビットを変換するために、前記基礎単位の出力端子で、必要ときに、前記 n -ビットグレイコード数の、第1の組のXORゲートを提供する。本発明に従ったグレイコードからバイナリーへの変換回路は、高速変換を提供し、そして、回路面積を保存する。

【0014】本発明は、以下の図面と主たる説明を考慮してより良く理解されるであろう。

【0015】本発明の開示では、1つ以上の図で現れる同様なものは同様な参照番号が付されている。

【0016】

【発明の実施の形態】本発明に従って、デジタル画素センサ(DPS)構造に基づいて、画像センサの効率と性能を向上するために、画像センサが、画素正規化回路

と共に集積される。本発明に従った画像センサ内の画素正規化回路は、画素ビット再配置、グレイコードからバイナリーへの変換、ディジタル的に相互に関連させられた2重サンプリング動作及び、マルチプルサンプリング正規化動作を含む1つ又はそれ以上の画素正規化機能を実行する。図1は、本発明の1つの実施例に従った画像センサのブロック図を示す。画像センサ100は、固定の又はビデオ写真をキャプチャするためのディジタルカメラのような、画像捕捉装置内で使用される。画像センサ100は、バス109上に出力信号としてディジタル画像データを出力する。

【0017】画像センサ100の画像センサコアは、ディジタル画素センサ(DPS)配列102として使用される。DPS配列102は、フォトディテクタとも呼ばれる、光検出要素の2次元配列である。図1では、DPS配列102は、フォトディテクタの N ロー掛ける M コラムとして配置され、そして、 $N \times M$ 画素の画像解像度を有する。カラーアプリケーションに対しては、モザイクの選択的に透過するフィルタが、各フォトディテクタに重ね合わされ、それにより、フォトディテクタの第1、第2及び、第3の選択的グループが、例えば、それぞれ目に見えるスペクトラムの赤色、緑色及び、青色の範囲3つの異なる色範囲を検知するようになされる。DPS配列102は出力バス103に、センサの読出し出力としてディジタル信号を発生する。

【0018】本発明の説明では、DPS配列又はセンサ配列は、各フォトディテクタがディジタル出力信号を発生するフォトディテクタの配列を有する画像センサを指す。本発明の実施例では、DPS配列102は、画素レベルアナログ/ディジタル変換を使用する、前述の米国特許番号5,461,425('425特許)に記載されたディジタル画素センサを実行する。DPS配列のフォトディテクタは、ときどき、センサ画素又はセンサ要素又はディジタル画素とよばれ、この用語は、各々のDPS配列のフォトディテクタはアナログ/ディジタル(A/D)変換回路を有し且つ、フォトディテクタを有しそしてアナログ信号を発生する従来のフォトディテクタから区別されるということを示すために使用される。DPS配列のディジタル出力信号は、ディジタル信号を非常に高速度で読み出すことが可能であるという、従来のアナログ信号を超える優位点を有する。もちろん、領域画像センサ内で画素レベルのA/D変換を実行するための他の機構も、本発明の画像センサ内で使用されてもよい。

【0019】さらに、本実施例では、DPS配列102は、前述の米国特許番号5,801,657で開示されているように、マルチチャネルビットシリアル(MCBS)アナログ/ディジタル変換を使用する。DPS配列102は、 k -ビットのMCBS ADCを使用し且つ、グレイコードで表されるディジタル信号を出力す

る。MCBS ADCは、画像取得に適用できる多くの優位点を有し且つ、それ以上に重要な高速読出しを容易にする。もちろん、1次シグマデルタ変調ADCのような、他のADC技術も使用できる。

【0020】画像センサ100は、更に、DPS配列102からの少なくとも1つのフレームの画像データを蓄積するための、集積されたオンチップメモリ110を有する。従って、メモリ110は、k-ビットの少なくともN×M画素に対する画素データを蓄積できる容量を有する。本実施例では、メモリ110は、以下に詳細に説明する、画像センサ100により使用される他のパラメータを蓄積するための更なる蓄積容量も有する。1つの実施例では、DPS配列は、10ビットの1000×1000画素を有し、そして、メモリ110は、フレームレートでDPS配列102内の全ての画素要素からのデジタル信号を蓄積するために、少なくとも1.2メガバイトのサイズを有する。前述の特許出願番号09/567,638内で開示されているように、オンチップメモリをデジタル画素センサ配列と共に集積することは、データ伝送のボトルネックの問題を解決し且つセンサ配列からの高速データ読出しを可能とする。図2は本発明の1つの実施例に従った、メモリ110のメモリ蓄積構造を示す。メモリ110は、DPS配列102により発生されたk-ビット画素データを蓄積するためのメモリ位置220を有する。メモリ110は、以下に更に詳細に説明するように、マルチプルサンプリングが使用されたときに各画素に対してしきい値インジケータと時間インデックス情報を蓄積するためのメモリ位置222と224を有する。更に、メモリ110は、DPS配列102内の各々の画素からのリセット値を蓄積するためのメモリ位置226を有する。リセット値は、以下に詳細に説明するように、センサ配列内の不均一性を除去するために、相関2重サンプリング(CDS)法で使用される。メモリ位置226は、画像センサ100がCDS法を使用するときのみ含まれる。他の実施例では、CDS法が使用されない場合には、メモリ位置226は必要とされない。

【0021】動作では、画像は、DPS配列102上に焦点が合わされ、焦点の合わされた画像の異なる部分は、配列内の各々のセンサ画素上に当る。各センサ画素は、フォトトランジスタを有し、その導電性はフォトトランジスタのベースに衝突する光の強度に関連する。フォトトランジスタを流れるアナログ電流は、従って、フォトトランジスタに衝突する光の強度に対応する。配列102内の全てのフォトトランジスタからのアナログ信号は、各センサ画素に配置された専用のA/D変換器により同時にシリアルビットストリームに変換される。フレーム期間を通して発生されたシリアルビットストリームは、フォトトランジスタに衝突する光の平均強度を表すデジタル出力信号としてバス103上に供給され

る。

【0022】画像センサ100では、DPS配列102からのセンサ読出し情報が、マルチプルサンプリング更新回路104を通して、蓄積のためのメモリ110に供給される。マルチプルサンプリング更新論理回路104は、画像センサ100のダイナミックレンジを改善するためにマルチプルサンプリングを実行するのに使用され、そして、以下に詳細に説明する。マルチプルサンプリングが使用されないときには、DPS配列102からのセンサ読出し情報は、メモリ110へ直接的に結合されてもよい。DPS配列102は、ビット面の形式のセンサ読出し情報を供給する。図3は、DPS配列102からのセンサ読出し情報をメモリ110内に直接的に蓄積することからの結果の、メモリ110内のメモリ位置220のメモリ構成を示す。DPS配列102では、フォトディテクタは、1ビットのデジタル画素データを同時に発生し、そして、出力信号としてバス103上に1ビットのデジタルデータを供給する。このように、センサ配列内の全ての画素に対するデジタル画素データの第1のビット(即ち、ビット0)がメモリ110に書込まれ、画素ビット0に対するビット面220aを構成する。そして、フォトディテクタは、各センサ画素に対してk-ビット画素データの次のビットを発生しそして、全ての画素のビット1を含む、次のビット面が、画素ビット1に対するビット面220bとしてメモリ110に書込まれる。DPS配列102のフォトディテクタは、各センサ画素に対して連続してkビットのデジタル画素データを発生し、そして、データは、図3に示すように、連続するビット面220aから220pとしてメモリ110に書込まれる。メモリ110のメモリ位置220は、kビットのデジタル画素データに対する全てのビット面を蓄積するための蓄積容量を有する。

【0023】DPS配列102はセンサビット配置で画素データを出力するので、画素データはメモリ110内にビット面の形式で蓄積される。しかし、メモリ110内の画素データのセンサビット配置は、画素に関するk-ビット画素データがメモリ110をわたって分散されているので、画像センサ100とインターフェースするアプリケーションにとっては有益でない。画像センサ100により捕捉された画像を受信する他の画像処理装置と互換性のあるインターフェースを提供するためには、必要なものは、画素データに対して画素ビット配置されていること、即ち、1画素に対する全てのビットが互いに隣接することである。4-ビット画素に対するメモリ110内の所望の画素ビットを図4に示す。メモリ位置220の第1の4つのビットは、画素0の4-ビット画素データを蓄積し、続いて、画素1と画素2等が続く。図4は、画素0から画素4が順次に配置されていることを示すが、画素順序は画素ビット配置内では重要でないことを示す。即ち、隣接画素が互いに隣接して配置され

るのは重要でない。画素ビット配置に対しては、1画素に対する全ビットが、隣接するビット順で共にグループ化されていることのみが重要である。画素の順序は、特定のアプリケーションに対して望ましいように、配置されることが可能である。従って、1つの実施例では、画素ビット配置では、画素0の全ビットに、画素3の全ビットが続き、そして、それに、画素2の全ビットが続く。メモリ110内に蓄積された画素データは、適切なメモリアドレス機構を使用して読み出されることが可能である。

【0024】本発明に従って、画素正規化回路112は、メモリ110内に蓄積された画素データに関して、画素再配置動作を行うために設けられる。画素正規化回路112は、画像センサ100と同じ集積回路チップ上に集積される。画像センサ100上への画素正規化回路112の集積は、画像センサ100の速度と性能を改善する。1つの実施例では、画素正規化回路112は、メモリ110内の画素データの構成を再配置するためにのみ動作する。再配置された画素データは、メモリ110に書き戻され、それにより、メモリ110は画像の所望の画素ビット配置を蓄積する。他の実施例では、再配置された画素データは、単純に、バス109上に、画像センサ100からの画像データを受信するように接続された他の装置へ出力され、そして、メモリ110内のデータは画素ビット配置内で更新されない。本発明の他の実施例では、画素再配置の他にも、画素正規化回路112は、DPS配列102から読み出された画素データに、他の正規化機能を実行するための回路を有する。正規化機能は、制限はされないが、グレイコード変換、CDS減算、及び、マルチプルサンプリング正規化を含むことが可能である。それらの場合には、画素ビット配置内の正規化された画素データは、蓄積のためにメモリ110へ書き戻され又は、バス109に出力される。

【0025】本実施例では、画素正規化回路112の画素再配置動作は、メモリ110と画素正規化回路112の間のルーティング又はハードワイアリングにより全体的に行われる。図8は、本発明の実施例に従った画素正規化回路112を示す。図8では、画素正規化回路112は、画素再配置動作及び他の画素正規化機能を実行する。しかし、これは、例示目的のみであり、当業者には、画素正規化回路112は、画素再配置のみの目的のために構成されることが可能であることは理解されよう。

【0026】図8を参照すると、画素正規化回路112は、正規化処理のためにメモリ110からの画素データの1ブロックを蓄積するバッファ830を有する。各処理サイクルにおいて、バッファ830内の画素データの部分は、変換窓として動作され且つ参照される。図8では、変換窓は4画素幅であり、即ち、バッファ830の4つのコラムを有する。回路112が変換窓内で画素

データの処理を完了するときには、回路112は、次の変換窓内の画素データ、即ちバッファ830の次の4つのコラムに、動作するように進行する。図8内のバッファ830は、3つの別のブロックに分割されるように示されている。これは、回路112の変換窓の動作を示すことが意図されている。実際の実行では、バッファ830は、どのようなにも実行されることが可能であり、そして、物理的な分離は、各変換窓のコラム間に必要ない。

【0027】本実施例においては、画素正規化回路112はメモリ110内の各々のビット面から第1のローの画素データを読み出し、画素正規化回路112のバッファ830内にデータを蓄積する。本実施例では、メモリ110とバッファ830の両方は、12ビット幅であり、そして、各画素データは4ビットを有すると仮定される。各ビット面から第1のローの画素データを読み出すことにより、バッファ830は、バッファ830の垂直コラム内の各画素に対する4ビット画素データを保持する。例えば、バッファ830のコラム1では、画素0のビット0から3が蓄積され、そして、コラム2には画素1のビット0から3が蓄積される等である。図8では、バッファ830は、以下に更に詳細に説明するように、他の正規化機能に関して使用されるデータ値も含む。バッファ830の出力端子をバス109又はバス108に接続することにより、バッファ830はコラムの順序で画素データを出力し、画素データは画素ビット配置に再配置される。再配置された画素データは、バス109に出力され又は、画素ビット順にメモリ110へ書き戻される。バッファ830内の全ての画素データが処理された後に、再配置動作は、メモリ110内に蓄積された各ビット面から画素データの第2のローをバッファ830にロードしそして、画素データを所望の画素順序でバス109に出力し、又は、メモリ110に書き戻すためにバス108に出力することにより継続する。

【0028】再配置された画素データがメモリ110に書き戻される場合には、データは画素ビットが読み出されたアドレス位置に書込まれる。例えば、図8では、各々のビット面の第1のローからの画素データは、バッファ830に読み出された。再配置されたデータは、各ビット面の第1のローに適切な画素順序で書き戻される。画素データの画素ビットがメモリ110内の隣接するロー内に配置されていない場合には、既知の数のローに分離され、そして、メモリアドレスリングの既知の手段に従って、メモリ110のアドレス機構を変更することにより、画素データは連続する順序で読み出されることが可能である。

【0029】本発明の他の実施例に従って、DPS配列102からのセンサ読出し情報は、変更されたアドレス機構を使用してメモリ110内に書き込まれることが可能であり、それにより、隣接する画素ビットは、メモリ110内の隣接するローに書込まれる。その場合には、

ビット面がバス103上に出力されるときには、ビットの第1のローは、メモリ位置220内の第1のローに書込まれ、そして、DPS配列102からのビットの後続するローは、前のローからk番号のローだけ離れたローに書込まれる。次のビット面は、メモリ位置220内の第2のローに書込まれそして、続くローも、k番号だけ離れたロー内に書込まれる。4-ビット画素の場合には、結果のメモリ構成は、図8のバッファ830内の画素構成と同じである。画素ビットが、変更されたアドレス機構を使用してメモリ110内に書込まれるときには、画素正規化回路112は単に連続するローの画素データをバッファ830に読出し、そして、必要とされる画素正規化動作を実行する。この場合には、再配置された画素データは、画素ビット順でメモリ110内に書き戻され、それにより、メモリ110は図4に示された画素ビット再構成となる。

【0030】上述の説明では、メモリ110及びバッファ830は共に12-ビット幅でありそして、画素データは4ビットを有する。これは、例示目的のみであり、そして、本発明の画素正規化回路はk-ビット画素データと共に使用されることが可能であり且つ、メモリ110及びバッファ830は他の寸法をとることができる。

【0031】1つの実施例では、画素再配置動作のルーティングは、メモリ110内の画素データをバス107上の画素正規化回路112にハードワイアリングにより行われ、それにより、データはメモリ110の第1のローからバッファ830に読み出されそして、バッファ830内の画素データをバス108上にメモリ110へハードワイアリングし、それにより、画素データは、バッファ830からコラム方向に読み出される。

【0032】画像センサ100の最高の性能と効率的な動作のために、DPS配列102の幅とメモリ110の幅は、画素ビットkの数の整数倍に選択されるべきである。この場合には、メモリ110と画素正規化回路112の間の論理的な接続は、非常に単純化される。DPS配列102の幅が、kの整数倍でない場合には、メモリ110の幅は、DPS配列102の幅よりも大きいkの次の整数倍に選択されねばならない。画素再配置動作は、上述のように同じ方法で動作するが、画素再配置動作の結果で、メモリ110の未使用のローが残る。

【0033】本発明の他の特徴に従って、画素正規化回路112は図8に示すように他の画素データ正規化動作を実行するための回路を有する。画素正規化回路112は、画像センサの同じ集積回路チップ上に、全ての正規化機能を集積し、これにより、画像センサの速度と効率を改善する。本実施例では、画素再配置の他に、画素正規化回路112は、グレイコード変換、ディジタル相関2重サンプリング(CDS)動作及び、マルチプルサンプリング正規化のための回路を有する。しかしながら、本実施例は、例示目的のみであり、そして、画素正規化

回路112は、どの1つの又は幾つかの正規化動作を有してもよい。

【0034】上述のように、画素正規化回路112は処理されるべき画素データを蓄積するためのバッファ830を有する。回路112は更に、グレイコード変換回路832のバンク、CDS減算回路834のバンク及び、マルチプルサンプリング正規化回路836(MS正規化回路として示されている)を含む。上述のように、回路112の正規化動作は、変換窓内で、バッファ830に蓄積された画素データの部分について行われる。変換窓内の画素データは、バッファ830から読み出される。変換窓内の画素データが処理されるたびに、データは、バス109に出力されるか、又は、108上でメモリ110に書き戻される。そして、回路112は、変換窓内で画素データの次のグループに進み、そして、同じ方法で正規化を行う。処理は、バッファ830に蓄積された全ての画素データが処理されるまで継続する。図8に示す実施例では、変換窓は4ビット幅である。変換窓は任意の寸法を有することができるが、効率的な動作のためには、変換窓はバッファ830の幅の整数の比率であることが好ましい。

【0035】図8のバッファ830では、バッファ830にロードされるデータは、メモリ110内の画素の1つのローに対する画素データのみを含むだけでなく、画素データに関連する時間インデックス情報とCDS減算値も含む。ここで、2-ビット時間インデックス情報は、バッファ830のロー5と6にロードされ、そして、2-ビットCDS減算値は、バッファ830のロー7と8にロードされる。

【0036】上述のように、DPS配列102により発生された画素データはグレイコードで表される。ノイズエラーに対して感度が低いことが可能であるので、グレイコードが使用される。グレイコードで表された画素データは、他の画像処理動作で有益なバイナリー表現に変換される必要がない。例示の4-ビットグレイコードからバイナリーコードへの変換テーブルを以下に示す。

【0037】

【表1】

13

グレイコード	バイナリー
0000	0000
0001	0001
0011	0010
0010	0011
0110	0100
0111	0101
0101	0110
0100	0111
1100	1000
1101	1001
1111	1010
1110	1011
1010	1100
1011	1101
1001	1110
1000	1111

グレイコード変換を実行する回路は既知でありそして、当業者は、 n -ビットグレイコードからバイナリーへの変換のための回路をどのように実行するかを知っているであろう。例えば、ビットグレイコードからバイナリーへの変換を、最大桁ビット (MSB) と次のMSBから開始する各々のビットに関して再帰的なXOR動作を使用して実行することができる。再帰的なXOR動作は、最小桁ビット (LSB) に達するまで、前のXORされたビットとグレイコード数内の次のビットを使用して継続する。 n -ビットグレイコード値を変換する再帰的論理式は以下のものである。

バイナリーMSB = グレイMSB ;
 バイナリーMSB-1 = バイナリーMSB XOR
 グレイMSB-1 ;
 バイナリーMSB-2 = バイナリーMSB-1 XOR
 グレイMSB-2 ;
 ...
 バイナリーMSB-($n-2$) = バイナリーMSB-
 ($n-3$) XOR グレイMSB-($n-2$) ; 及び
 バイナリーLSB = バイナリーLSB+1 XOR
 グレイLSB

ここで、バイナリーMSBは、MSBに関するバイナリービット値を表し、グレイMSBはMSBに関するグレイコード値を表す等である。図5は、15-ビットグレイコード数を変換するための上述の再帰的論理式の直接的な実行を示す。直接的な実行では、図5の変換回路500は、直列のXORゲートを有し、前の変換結果が最小桁ビットまで従属接続される。変換回路500は単純で且つ最小の数のXORゲートを使用するが、変換時間は、LSBの最後のXORまで伝わるXOR結果に依存しているので、LSBの遅延時間はMSBの遅延時間よりも非常に長い。変換回路500では、グレイコード変換を行うのに、14 XORゲートのみが必要であるが、しかし、LSBに対するゲート遅延の数も14 XORゲートである。 n -ビット変換では、直接的な実行は、 $n-1$ XORゲートを必要としそして、 $n-1$ XOR

14

ゲート遅延を有する。特に大きなビット数では、LSBに対する遅延時間が、MSBの遅延時間よりも長いので、直接的な実行は、しばしば望ましくない。

【0038】本発明の1つの実施例に従って、画像センサ100の画素正規化回路112は図5に示す回路を使用してグレイコードからバイナリーへの変換を実行する。4-ビット画素データに対しては、3 XORゲートのみが必要であり、そして、各々の変換回路832は、図5の変換回路500内でビットMSBからMSB-3 10 に対してXOR回路として実行される。変換回路832のLSBは、3 XORゲート遅延を有する。本発明の他の特徴に従って、高変換速度で動作し且つ、グレイコード値の最大桁ビット (MSB) と最小桁ビット (LSB) の間の変換遅延時間の不均衡を最小化する、 n -ビットグレイコードからバイナリーへの変換を実行する回路が提供される。図9は、本発明の1つの実施例に従った4-ビットグレイコード変換回路を示す。画像センサ100の他の実施例では、画素正規化回路112は、画像センサ100の動作を改善するために、図9に示す変換回路900を使用して4-ビット画素データに対してグレイコード変換を実行する。変換回路900は4 XORゲートを使用するがしかし、LSB (B0) に対しては2 XORゲートのみのゲート遅延時間を有し、図5の直接的な実行よりも1ゲート遅延小さい。 n -ビット変換回路の実行を含む、本発明の新しいグレイコードからバイナリーへの変換回路を、図10から15に関して以下に詳細に説明する。

【0039】図8に示すように、画素正規化回路112は、相関2重サンプリング (CDS) 法を実行するためのCDS減算回路834のバンクを更に有する。CDSは固定パターンノイズによるセンサ配列の不均一性を除去するための方法である。この場合、CDSは配列内のフォトディテクタの可変比較器オフセット値に対して補正するのに使用される。本実施例では、デジタルCDS法が実行される。センサ配列がリセットされた後に、フォトディテクタの各々のリセット値が測定され、そしてメモリ110内のメモリ位置226に記憶される。続いて、センサ配列により捕捉された画素データの各フレームに対して、画素データを正規化するために、記憶されたセンサリセット値が画素値から減算される。画素正規化回路112では、CDS減算回路834は、画素データに減算動作を実行するために構成される。図8では、変換窓内の画素データ (即ち、画素0から3に対する画素データ) は、最初に、グレイコード表現からバイナリー表現に変換される。そして、バイナリー画素データはCDS減算回路834に与えられる。バッファ830に蓄積されたりセット値も、CDS減算回路834に供給される。CDS減算回路834は、各画素に対して画素データからリセット値を減算する。CDS減算回路834の減算動作は、当業者に既知の方法に従って実行

されることが可能である。

【0040】本実施例では、CDS減算回路384がバイナリーが素データに関して動作した後に、CDS正規化された画素データはマルチプルサンプリング正規化回路836に供給される。上述のように、マルチプルサンプリングはセンサ配列から常に複数の読出しを実行し、そして、マルチプルサンプリング情報に基づいて読出し値を正規化することにより、センサ配列のダイナミックレンジを増加するのに使用されるアルゴリズムである。正規化された画素データに基づく画像は、センサ要素の実際の感度範囲よりも非常に高い擬似の感度範囲で形成されることが可能である。本実施例では、画像センサ100は、マルチプルサンプリング内で時間インデックス化された方法を使用する、米国特許出願番号09/567,786（弁護士名簿番号PIXI0001）に記載された方法に従ってマルチプルサンプリングを実行する。もちろん、本発明の画像センサと共に、他のマルチプルサンプリングアルゴリズムも使用され得る。

【0041】画像センサ100内のマルチプルサンプリング動作を以下に簡単に説明する。詳細なマルチプルサンプリング動作は、上述の引用された特許出願に示されている。図6は、DPS配列102内の4つの代表的な画素A、B、C、及び、Dに対する画素強度値対露光時間を示す。マルチプルサンプリングが使用されるときには、画素値は最初に露光時間1Tで読み出され、そして、マルチプルサンプリング更新回路104は画素値に飽和比較動作を実行する。飽和比較動作は、種々の方法で実行されることが可能である。1つの実施例では、50%飽和しきい値が使用される。このように、時間1Tで、マルチプルサンプリング更新回路104は、DPS配列102から読み出された画素値を比較し、そして、どの画素強度値が、50%飽和しきい値を超えるかを決定する。例えば、図6では、画素Aは、50%画素飽和しきい値を超える強度値を有するが、一方、画素BからDは、飽和しきい値以下の強度値を有する。マルチプルサンプリング更新回路104は、画素AからDに対する画素値をメモリ110に書き込む。マルチプルサンプリング更新回路104はまた、メモリ位置222内の画素Aに対応するしきい値インジケータビットを、画素Aが飽和に達したことを示す"1"のような、所定の値に設定する。画素Aのしきい値インジケータビットを設定することにより、マルチプルサンプリング更新回路104は、画素Aに対して、メモリ110内に画素値の更なる更新を行うことを防ぐ。マルチプルサンプリング更新回路104はまた、メモリ位置224内に、画素Aに対してインデックス1Tを記憶する。画素Aに対する画素値と時間インデックス値は、画素Aの模擬の強度値を得るために画素正規化回路112により使用される。図6では、マルチプルサンプリング処理は、2T、4T、8T及び、16Tの露光時間後に行われたセンサ読出しと共

に継続する。画素に対する画素強度値が50%飽和しきい値を超えるたびに、しきい値インジケータビットが設定され、そして、その画素に対する飽和時間インデックスが、測定された画素値と共にメモリ110内に蓄積される。図7は、画像センサ100で使用するための、マルチプルサンプリング更新回路104の1つの実施例を示す。当業者に認識されるように、他の実施例も可能である。

【0042】他の実施例では、飽和しきい値レベルは、フォトディテクタの飽和レベルに近い値に選択される。例えば、90%飽和しきい値が使用できる。90%飽和しきい値が使用されるときには、マルチプルサンプリング更新回路104は、画素値が90%飽和しきい値を超えるまで、メモリ110内に画素値を書き込み且つ更新する。メモリ110内では、メモリ位置222は、センサ配列102内の各々の画素に対する飽和ビットを記憶する。飽和ビットは、画素に対する画素値が90%飽和しきい値を超えるときにはいつでも、"1"のような所定の値に設定される。その場合には、飽和画素値は、メモリ110内に書込まれない。代わりに、マルチプルサンプリング更新回路104は、飽和が検出されたときに、時間インデックスを記憶する。例えば、図6の画素飽和レベルが90%レベルに設定されているとすると、時間1Tで、画素Aは既に飽和されそして、所定の画素値が110に書込まれそして、時間インデックス1Tは画素Aに対して記憶されそして、画素Aに対する飽和ビットも"1"に設定される。一方、画素Bは、時間4Tまで飽和しなかった。時間4Tで、マルチプルサンプリング更新回路104は、画素Bに対して既に蓄積された画素値の上に書込まないが、しかし、代わりに、画素Bに対する時間インデックスと飽和ビットを更新する。飽和前の画素Bに対する画素値と飽和が発生したときに時間インデックスは、画素Bに対する模擬された画素値を決定するために画素正規化回路112により使用される。マルチプルサンプリング更新回路の他の実施例では、飽和ビットはメモリ110に対する書き込みマスクとして使用されることが可能である。このように、飽和ビットは各画素に対する書き込みイネーブル信号として働き、そして、画素データがメモリ110に書込まれるべきかどうかを決定する。

【0043】所定の数のサンプリング後に、画像センサ100は画像内の全ての画素に対する光の強度値を捕捉する。メモリ110は、フォトディテクタが飽和する前の各画素の画素値を記憶する。メモリ110は、画素が飽和したときに、各画素に対する、時間に対応する時間インデックス値も蓄積する。画素正規化回路112は、画素値と各画素に対して記憶された時間インデックス値に基づいて、画素データにマルチプルサンプリング正規化動作を実行する。マルチプルサンプリング正規化は、時間にわたって、光に対する画素値の応答が線形である

ことを仮定する。線形応答近似は、CMOSセンサに関して良い近似である。マルチプルサンプリング正規化は、画素値を、全露光値と画素が飽和する時間の比に対応する定数により乗算することにより達成される。

【0044】図6を参照すると、画素Aに対する正規化された画素値は、全露光時間(16T)と飽和時間期間(1T)の比により乗算された画素Aの飽和後(即ち、時間1T)の時間期間で画素配列から読み出された画素値である。従って以下の式は、画素Aの正規化された値を与える。

【0045】

【数1】

$$\begin{aligned} \text{画素 A(正規化)} &= \text{画素 A(読み出し)} \times \left(\frac{\text{全露光時間}}{\text{飽和露光時間}} \right) \\ &= \text{画素 A(読み出し)} \times \left(\frac{16}{1} \right) = \text{画素 A(読み出し)} \times 16 \end{aligned}$$

同様に、画素BからDに対する正規化された値は以下で与えられる。

【0046】

【数2】

$$\begin{aligned} \text{画素 B(正規化)} &= \text{画素 B(読み出し)} \times \left(\frac{16}{4} \right) = \text{画素 B(読み出し)} \times 4 \\ \text{画素 C(正規化)} &= \text{画素 C(読み出し)} \times \left(\frac{16}{8} \right) = \text{画素 C(読み出し)} \times 2 \\ \text{画素 D(正規化)} &= \text{画素 D(読み出し)} \times \left(\frac{16}{16} \right) = \text{画素 D(読み出し)} \end{aligned}$$

上述の式は、50%飽和しきい値が選択されたときの、正規化動作を示す。もちろん、同じ正規化動作が90%飽和しきい値に対して与えられる。画素正規化回路112では、マルチプルサンプリング正規化回路836は、広ダイナミックレンジを有する画素データ出力を提供するために、上述のマルチプルサンプリング正規化動作を提供する。回路836は、正規化計算のために、バッファ830のロー5と6のような、画素正規化回路112のバッファ830内に記憶された時間インデックス値を使用する。マルチプルサンプリング正規化回路836は、正規化された画素データを計算するために、画素データと時間インデックス値について動作する。

【0047】本発明の他の特徴に従って、n-ビットグレイコードからバイナリーへの変換を行うための回路が提供される。本発明のグレイコード変換回路は、n-ビットグレイコード値の低次のビットを変換するためのゲートと遅延時間の大きな減少を達成する。1つの実施例では、本発明に従った15-ビットグレイコード変換回路は、直接的な実行での14XORゲート遅延と比較して、4XORゲート遅延のみを有する。本発明の画像センサ100は、画像センサ100の動作速度を向上するために、本発明のグレイコード変換回路を統合する。

【0048】グレイコードからバイナリーへの変換は、

上述の再帰的XOR式を使用して実行されることが可能である。LSBに対する大きな遅延時間となる再帰的なXOR式の直接的な実行の代わりに、本発明のグレイコードからバイナリーへの変換は、LSBに対する遅延時間を最小化するために、ネストされたXORツリー構造を使用する。n-ビットグレイコード数のLSBに対する遅延時間は、n-ビットグレイコード変換回路を通しての最大遅延であるので、変換回路のクリティカルパスである。本発明に従って、クリティカルパスの遅延時間を最小化する、n-ビットグレイコードに関する、グレイコードからバイナリーへの変換回路を発生するための方法が提供される。更に、本発明の方法は、クリティカルパスの最小遅延時間を維持しながら、XORゲートの数を、又は、回路面積を、回路内で最小化することが可能である。

【0049】変換回路と回路を構成する方法を、15-ビットグレイコード数に関して説明する。もちろん、本発明の回路と方法を、n-ビットグレイコード数に適用することも可能である。第1に、バイナリー値のLSB B0を15-ビットグレイコード数を使用して変換するために、ネストされたXORツリーが構成される。XORツリーは、クリティカルパスの遅延時間を最小化する目的で構成される。図10は、15-ビットグレイコード数に対する、ネストされたXORツリー1010を示す。2-入力XORゲートを使用して、n-ビットグレイコードからバイナリーへの変換回路のバイナリーLSBを変換するためのゲート遅延の最小数は、 $\log_2 n$ である。15-ビットグレイコード数に対して、ゲート遅延の数は図10に示すように4である。15-ビットグレイコードのビットG0からG14を変換することにより、バイナリーLSB B0を得るために、図10のXORツリー1010は、4層のXORゲートを含む。第1の層では、15-ビットグレイコード入力値のビットG14からG1の1つのペアに対して、7つの2-入力XORゲートはXOR動作を実行する。第2の層では、4つの2-入力XORゲートは、第1層のXORされた結果とLSBビットG0のXOR動作を行う。nが偶数である場合には、第1層は、入力値の全てのn-ビットに動作し、そして、第2層は、第1層のXORされた結果に動作する。変換処理は、第2層の4つのXORされた結果のXOR動作を伴って第3層内で継続する。最後に、LSBのバイナリー値B0は、第4の層内で、XORゲートにより発生される。この方法で、XORツリー1010は、15-ビットグレイコード入力値のLSBを変換するために構成され、クリティカルパスは4XORゲートのみの遅延を有する。

【0050】各々のバイナリー出力ビットに対してXORツリーを発生させることが可能であるが、各ビットの変換は論理項を共有し且つ論理回路の複製破格ビットが自分のXORツリーを持つことになるので、そのような

実行は実際的でない。代わりに、15-ビットグレイコード入力値に対する変換回路を構成する次のステップは、図10のXORツリー1010はLSB(ビットB0)以外の出力ビットに対する変換されたバイナリー値を有するという認識することに関連する。図10を参照すると、XORツリー1010は、ビットB14、B13、B11及び、B8のバイナリー値も発生する。このように、残っているのは、残りのビットを変換するためにXORゲート内を埋めることにより変換回路を完成させることである。

【0051】次に、まだ変換されていないビットを変換するために、XORゲートは、XORツリー1010に加えられる。図10では、残りの未変換のビットは、B12、B10、B9及び、B7からB1である。ここでの主な制限は、残りのビットを変換するためのXORゲートの追加は、LSBに対するゲート遅延よりも大きなゲート遅延を発生しないことである。即ち、全ての残りのビットは、 $\log_2 n$ の最大遅延又は、15-ビットグレイコード値に対する4ゲート遅延の最大遅延で変換されるべきである。目標は、XORツリー1010内ですでに発生された論理項をできる限り多く再利用することである。図11は、全ての15ビットグレイコード入力値を、15-ビットバイナリー出力値へ変換するためのXORツリー1110を示す。XORツリー1110は、図10のXORツリー1010と残りのビットを変換するための追加のXORゲートを有する。XORツリー1110では、合計28XORゲートが使用され且つ4-XORゲート遅延が維持される。

【0052】特定のアプリケーションでは、本発明のグレイコード変換回路を実行するのに必要な面積を最小化することが望ましい。そのような場合には、本発明の変換回路は、クリティカルパス遅延時間と最小面積のために最適化されることが可能である。最適化は、LSB以外の1つ又はそれ以上のビットのXOR回路を再配置することにより行われ、それにより、より少ないXORゲートがビットのバイナリー値を発生するために使用される。これは、バイナリービットを発生する、共有された項の使用を最大化することにより達成される。XORゲートの再配置が特定のビットに対するゲート遅延を増加することとなっても、全体的な遅延時間、即ちクリティカルパスに対する遅延時間は維持される。図12は、15-ビットグレイコードからバイナリーへの変換回路の1つの実施例を示し、ここで、ビットB8に対する変換回路は回路面積を最小化するために再配置されている。図11では、回路1110は28ゲートを使用しそして、4-XORゲート遅延を有する。回路1110は3XORゲート遅延でビットB8を計算する。特に、ビットG10とG9はXORされている。この結果は、ビットG8とXORされる。この結果は、再び、ビットG14、G13、G12及び、G11のXORの結果とX

ORされる。しかしながら、回路1110は少なくとも1つのXORゲートを削除することにより面積に対して最適化されることが可能である。図12の回路1210を参照すると、バイナリー出力ビットB8は、XORゲート1214の出力を使用して発生される。図11のXORゲート1113は、削除される。この結果、回路1210は27ゲートのみを使用して実行され、図11の回路1110よりも1ゲート少なく、そして、クリティカルパス内で4-XORゲート遅延を維持する。B8

【0053】特定の場合には、クリティカルパスゲート遅延が伸びるのが必要とされる場合でさえも、本発明のグレイコード変換回路の回路面積を最小化することが必要とされる。図13は、本発明の他の実施例に従った、15-ビットグレイコードからバイナリーへの変換回路を示す。変換回路1310は、LSB(ビットMSB-14)を発生するのに5-XORゲート遅延を有するが、しかし、合計で23XORゲートのみを使用する。回路1310は、4だけXORゲートの数を減少させるが、一方クリティカルパス遅延時間を1XORゲートのみ増加させる。変換回路1310は、最小の回路面積が望まれ且ついくらかの遅延時間を犠牲にできるときに好適である。

【0054】要約すると、本発明の上述の方法では、n-ビットグレイコードからバイナリーへの変換回路は、ネストされたXORツリーを構成することにより実行される。XORツリーは、最初に、最小桁ビット(LSB)の変換であるクリティカルパスに対する遅延時間を最適化することにより構成される。クリティカルパスで内ビットに関しては、XORツリーは、回路面積を最小化することにより構成される。このように、XORツリーは、LSB又は他のビットに関して既に実行されている最も近い論理項を再使用することにより構成される。実行された項と伝搬論理にできる限り依存しているがしかしクリティカルパスのゲート遅延内であることに依存していることにより、最小の回路面積が達成される。もちろん、本発明のn-ビットグレイコードからバイナリーへの変換回路の異なる変形は、クリティカルパス遅延時間又は回路面積の何れか又は両方を最適化することにより実行されることが可能である。

【0055】本発明の他の特徴に従って、n-ビットグレイコードからバイナリーへの変換回路を構成する方法が提供される。n-ビットグレイコードからバイナリーへの変換回路は、幾つかの基礎単位を選択し且つ組み合わせることにより実行される。基礎単位の幾つかの組合

せは、同じ n -ビット変換回路で可能であるが、組合せは異なる数の合計のXORゲートと異なる数のXORゲート遅延を有する。本発明に従って、グレイコード変換回路を、所望の最小回路面積と、クリティカルパスに対する所望の最小ゲート遅延を得るために構成することが可能である。図14は、本発明の一実施例に従った、 n -ビットグレイコードからバイナリーへの変換回路を構成するのに使用される幾つかの基礎単位を示す。図14では、2-ビット、3-ビット、4-ビット、及び、8-ビットグレイコード数を変換するための6つの異なる基礎単位が示されている。ブロックC2は2-ビット変換回路である。ブロックC3は、2-XORゲート遅延を有する3-ビット変換回路である。ブロックC41とC42は、4-ビット変換回路であり、ブロックC41はゲート遅延に対して最適化されており、そして、ブロックC42は回路面積に対して最適化されている。4-ビット変換回路が必要な場合には、最小の遅延時間又は最小の回路面積の何れかが要求されるかによって、ブロックC41か又はブロックC42の何れかを使用することができる。

【0056】図14の基礎単位は更に、2つの8-ビット変換回路を有する。ブロックC81とC82は、大きな数のビットを有する更に複雑な変換回路を優位に構成するのに、前の基礎単位をどのように使用することができるかを示す。例えば、ブロックC81は、8-ビットグレイコード変換に対してブロックC41の2つの実体を使用する。ブロックC81では、第4の最大桁ビットが、最小桁ビットを伝搬するのに使用される。ブロックC81は12XORゲートを使用し、且つ3-XORゲート遅延を有する。一方、ブロックC82は、ブロックC41のただ1つの実体を使用する。ブロックC82内で4つの最小桁ビットを発生する論理回路は、面積に対して最適され、そして、遅延時間に対して最適化されない。このように、ブロックC82は、11XORゲートを使用するが、4-XORゲート遅延を有する。ブロックC82では、クリティカルパスは実際には最小桁ビットの隣の、ビット1である。ブロックC82のLSBは、実際には、3-XORゲート遅延のみを有する。

【0057】いくつかの基礎単位を提供することにより、 n -ビットグレイコードからバイナリーへの変換回路を、適切な数の基礎単位を選択し且つ組み合わせることによりそして、低次ビットの計算を完了させるために伝搬論理を加えることにより、構成することができる。例えば、図12の変換回路1210を、図15に示されているように、基礎単位C82、C41、及び、C3を使用して構成できる。変換回路1510は、回路1210と同一であり、そして、27XORゲートと4-XORゲート遅延を有する。27XORゲートの実行は、15-ビットグレイコード変換回路に関する最小の実行である。どの n -ビット数に対する変換回路も、同様な方

法で構成することができる。

【0058】本実施例では、基礎単位は2-入力XORゲートを使用して構成される。もちろん他の基礎単位も、3又は4-入力XORゲートを使用して同様に構成することができる。基礎単位を、例示目的のみで図1に示す。

【0059】要約すると、本発明の一実施例では、画素正規化回路112を統合する画像センサ100の動作を以下に示す。第1に、画像センサ100はDPS配列102をリセットするために、CDS初期化を行う。センサ配列がリセットされた後に、リセット値が読み出され、そして、メモリ110内のメモリ位置226(図2)に蓄積される。DPS配列102は、そして、画像を捕捉するために光に露光される。第1の露光時間期間(時間1T)の後に、マルチプルサンプリング更新回路104が、飽和レベル比較を実行しそして、画素値、時間インデックス及び、しきい値インジケータビットを、画素値が飽和したかどうかによって、必要に応じてメモリ110内に記憶する。マルチプルサンプリング処理は、全露光時間の間継続する。メモリ110は、ビット面配置に配置された全ての画素に対する画素値を記憶し、かつまた、しきい値インジケータ値(メモリ位置222)、時間インデックス値(メモリ位置224)及び、リセット値(メモリ位置226)も記憶する。そして、画素正規化回路112は、各ビット面から第1のローの画素データをバッファ830(図8)にロードすることにより、正規化動作を実行する。画素に関連する時間インデックス情報とリセット減算値も、バッファ830にロードされる。変換窓内の画素データの部分は、データをグレイコード表現からバイナリー表現に変換するためにグレイコード変換回路832へ供給される。そして、バイナリー画素データは、CDS減算回路834に接続され、ここで、リセット値がバイナリー値から減算される。そして、CDS正規化されたデータは、マルチプルサンプリング正規化回路836に供給され、ここで、画素データは、時間インデックス情報を使用して正規化される。最終的に正規化されたデータは、画素ビット配置でバス109に出力されるか又は、画素ビット配置で、バス108を介してメモリ110に再書き込みされる。そして、画素正規化回路112は、変換窓内の次のグループの画素データを処理するために進行する。正規化処理は、バッファ830内の全ての画素データが正規化されるまで継続する。そして、画素正規化回路112は、メモリ110内の各ビット面から次のローの画素データをロードし、そして、正規化処理は、全画素データが正規化されるまで上述のように繰り返す。

【0060】本発明の原理に従って、画像センサはセンサ配列、メモリ、画素正規化回路を1つの集積回路上に集積する。単一チップの実行は、画像センサの効率を改善し、そして、画像センサを容易く外部システムと互換

性をとるようにすることができる。本発明の画像センサは、画素データ処理するための中間的な回路の必要無しに、捕捉された画像を受信するためのどのような画像システムとも接続できる。本発明に従った画像センサのこれらの能力は、従来の画像センサによっては実現されていない。

【0061】上述の詳細な説明は本発明の特定の実施例を説明するために設けられ、そして、制限することは意図されない。多くの変更及び変形が、本発明の範囲内で可能である。本発明は、請求項により定義される。

【0062】

【発明の効果】本発明により、画像センサの性能を改善する集積されたサポート回路を有するデジタル画像センサを提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に従った画像センサのブロック図である。

【図2】本発明の一実施例に従った図1の画像センサ内のメモリのメモリ構成を示す図である。

【図3】画素データがセンサビット配置内に蓄積された、図1の画像センサ内のメモリのメモリ構成を示す図である。

【図4】図1の画像センサの望ましい画素ビット配置を示す図である。

【図5】再帰的XOR式の直接的な実行を使用するnビットグレイコードからバイナリーへの変換回路の回路図を示す図である。

【図6】図1の画像センサの画像配列内の4つの代表的な画素に対する画素強度値対時間を示す図である。

【図7】図1の画像センサ内で使用するマルチプルサンプリング更新回路104の一実施例を示す図である。

【図8】本発明の一実施例に従った、画素正規化回路を示す図である。

【図9】本発明の一実施例に従った、4ビットグレイコードからバイナリーへの変換回路のための回路図を示す図である。

【図10】本発明の一実施例に従った、15ビットグレイコード数の最小桁ビットのバイナリー値を計算する

ためのネストされたXORツリーを示す図である。

【図11】本発明の一実施例に従った、15ビットグレイコード入力値のすべてのビットを15ビットバイナリー出力値に変換するXORツリーを示す図である。

【図12】本発明の他の実施例に従った15ビットグレイコードバイナリーに変換する回路を示す図である。

【図13】本発明の更に他の実施例に従った15ビットグレイコードをバイナリーに変換する回路を示す図である。

【図14】本発明の一実施例に従った、nビットビットグレイコードをバイナリーに変換する回路を構成するのに使用される幾つかの基礎単位を示す図である。

【図15】本発明の実施例に従って図14の基礎単位を使用して構成された15ビットビットグレイコードをバイナリーに変換する回路を示す図である。

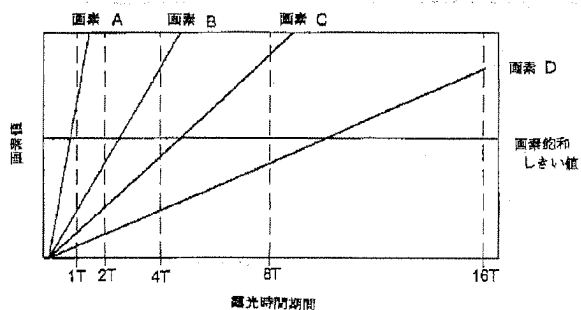
【符号の説明】

100 画像センサ
102 デジタル画素センサ配列
102 DPS配列
103 バス
104 マルチプルサンプリング更新回路
108 バス
109 バス
110 メモリ
1110 回路
112 画素正規化回路
220 メモリ位置
222 メモリ位置
224 メモリ位置
226 メモリ位置
384 CDS減算回路
500 変換回路
830 バッファ
832 グレイコード変換回路
834 CDS減算回路
836 マルチプルサンプリング正規化回路
900 変換回路

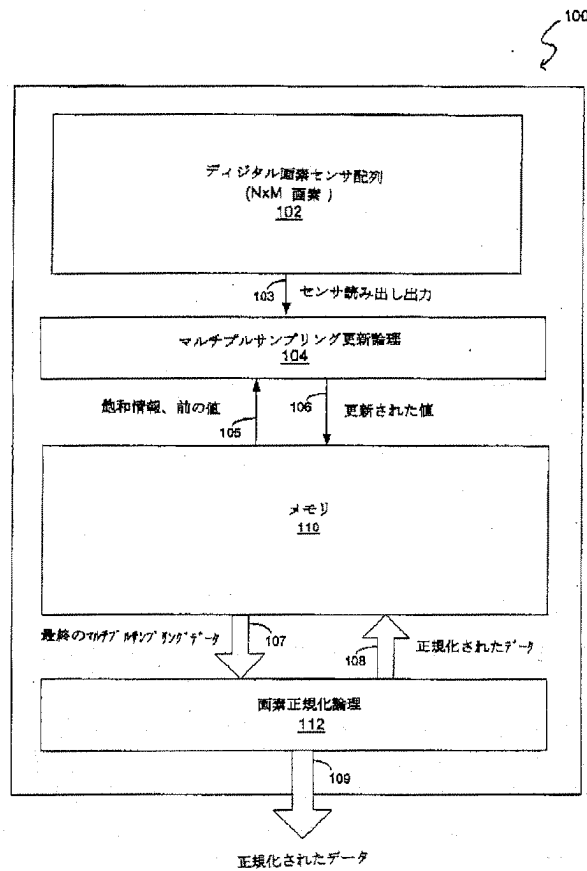
【図4】

P0B0	P0B1	P0B2	P0B3	P1B0	P1B1	P1B2	P1B3	P2B0	P2B1	P2B2	P2B3
P3B0	P3B1	P3B2	P3B3	P4B0	P4B1	P4B2	P4B3	P5B0	P5B1	P5B2	P5B3
...											

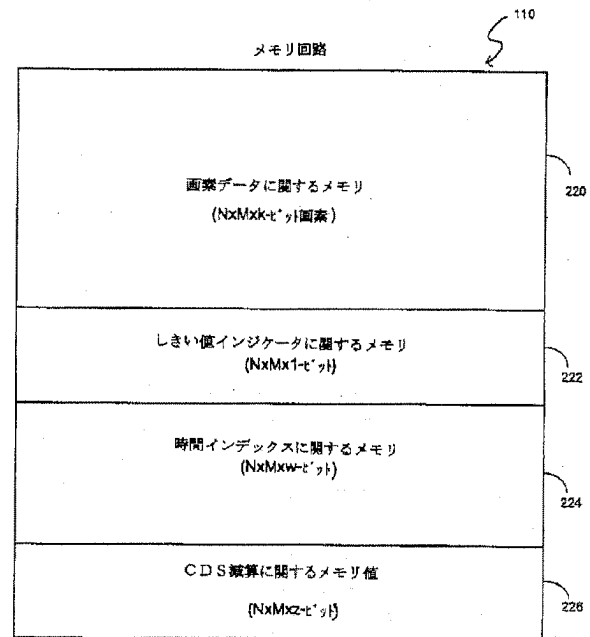
【図6】



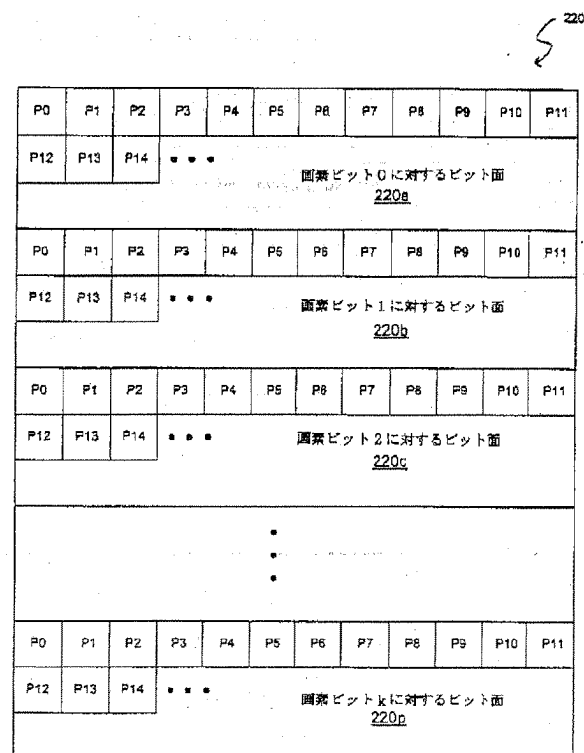
【図1】



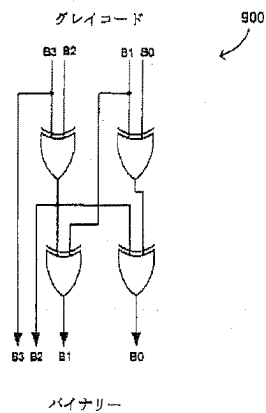
【図2】



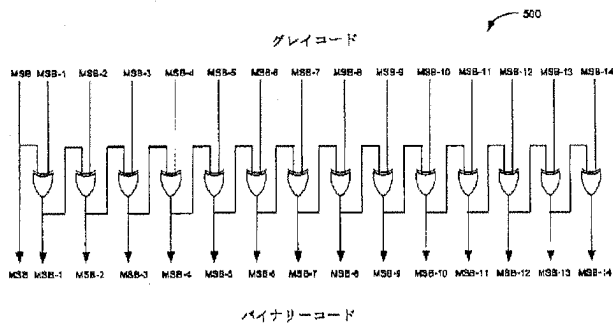
【図3】



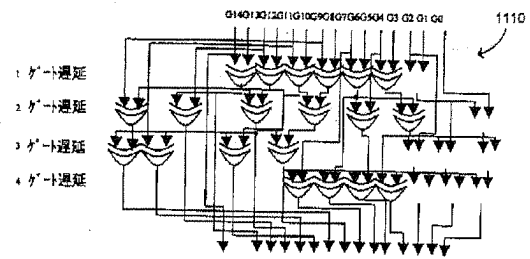
【図9】



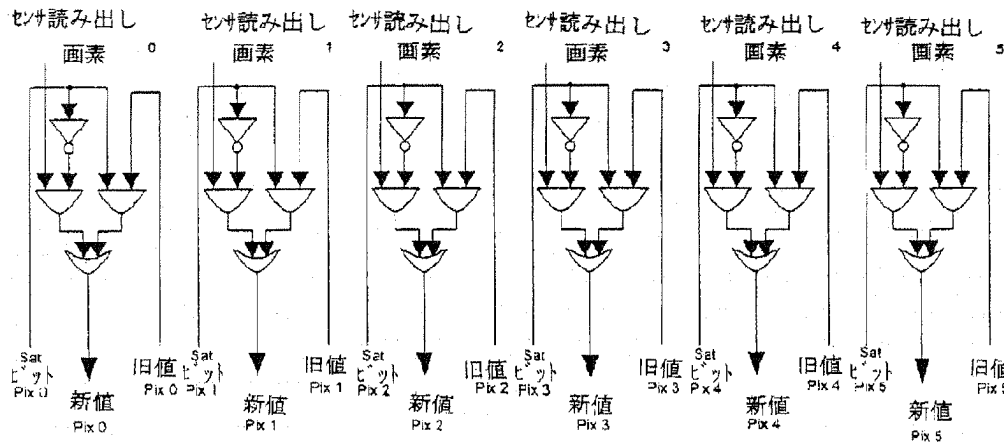
【図5】



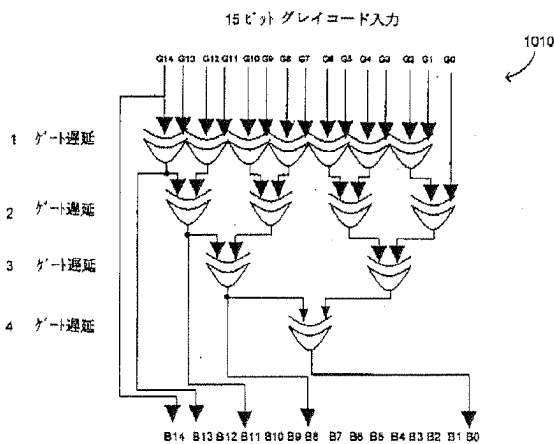
【図11】



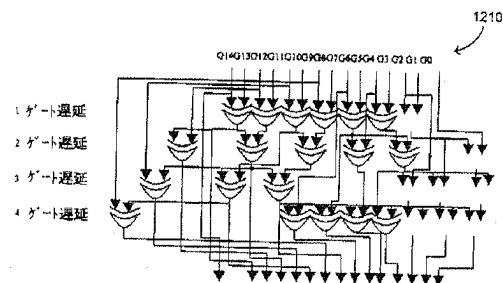
【図7】



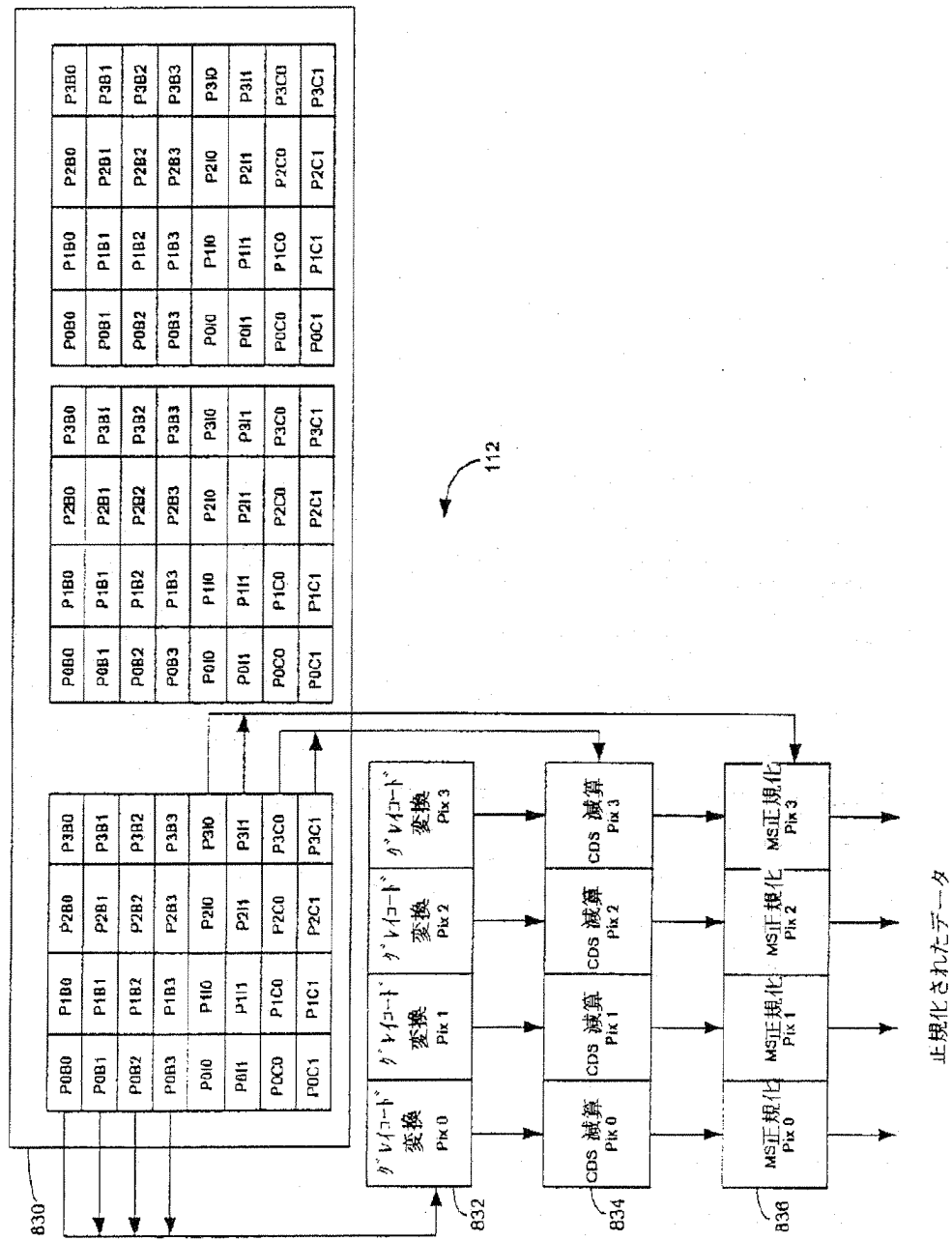
【図10】



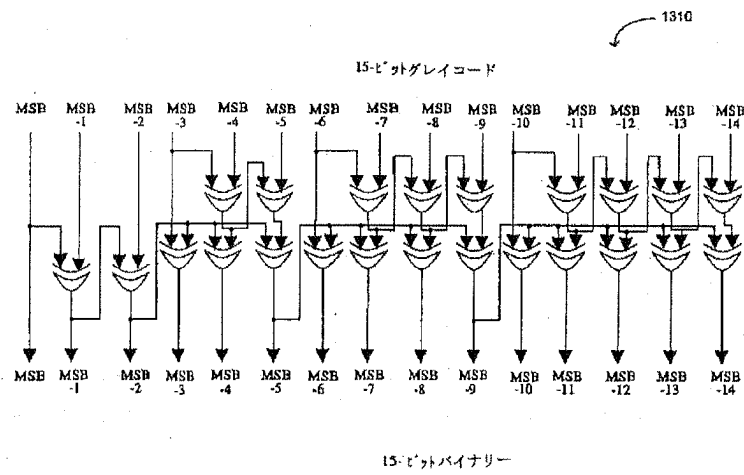
【図12】



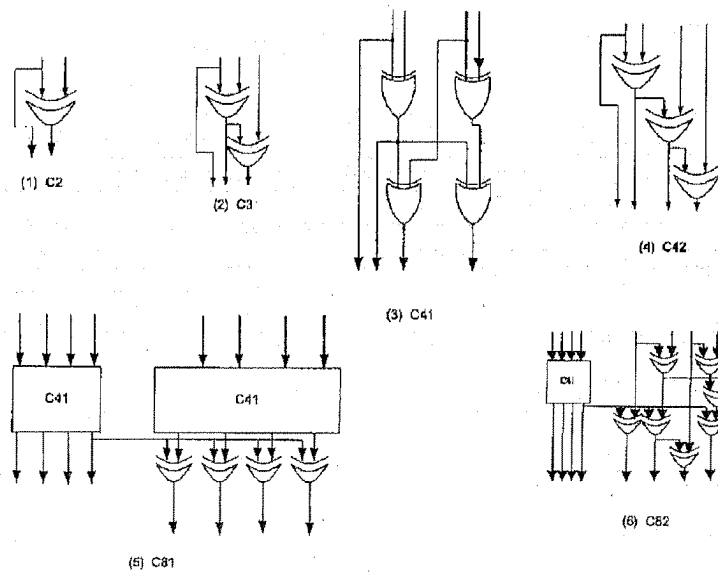
【図8】



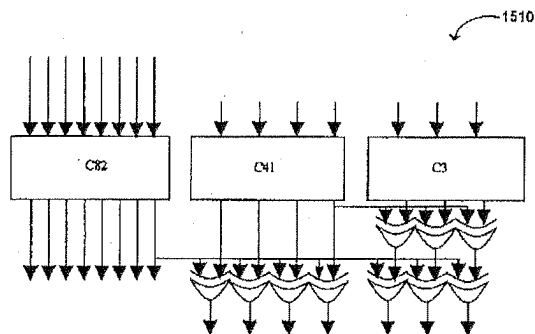
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 ジョオンハン ジョン ドン
アメリカ合衆国 カリフォルニア州
94306 マウンテン・ビュー カリフォル
ニア・アベニュー・2020 14号
(72)発明者 リカード ジャンソン モッタ
アメリカ合衆国 カリフォルニア州
94303 パロ・アルト ヒルバー・レー
ン・539

(72)発明者 デイヴィッド シアオ ドン ヤン
アメリカ合衆国 カリフォルニア州
94306 マウンテン・ビュー カリフォル
ニア・ストリート・2020
Fターム(参考) 5B047 AB02 BA03 BB04 BC01 CA23
CB30
5C024 BX01 CX43 HX01 HX23 HX51
HX57
5C051 AA01 BA02 DA06 DB01 DB07
DB18 DC03 DC07 DE00 FA00